

## **Радиационно-стойкие СБИС СнК и ОЗУ — особенности проектирования по КМОП технологиям объемного кремния**

Герасимов Ю. М., Петричкович Я. Я.

*АО НПЦ «Электронные вычислительно-информационные системы» («ЭЛВИС»)  
ул. Конструктора Лукина, д. 14, стр.14, муницип. округ Силино,  
Москва, г. Зеленоград, 124460, Российская Федерация  
YGerasimov@elvees.com, ymger29@mail.ru*

Получено: 19 мая 2022 г.

Отрецензировано: 5 июня 2022 г.

Принято к публикации: 5 июня 2022 г.

**Аннотация:** Проанализировано влияние различных видов излучения и тяжелых ядерных частиц (ТЧ) на СБИС, изготавливаемых по КМОП технологиям объемного кремния (ОК) уровня 250—90 нм. Разработаны и аттестованы на тестовых кристаллах (ТК) конструктивно-топологические и схемотехнические решения элементов цифровых библиотек, сложно-функциональных (СФ) блоков ОЗУ и периферийных блоков смешанного сигнала для проектирования радиационно-стойких СБИС типа «система-на-кристалле» (СнК) и ОЗУ категории РС2 (изделия с повышенным уровнем радиационной стойкости). Получила дальнейшее развития методология радиационно-стойкого проектирования (РСП). Для средств САПР создана среда проектирования СБИС категории РС2 для изготовления на российских фабриках по доступным КМОП технологиям ОК. На основе данной среды проектирования созданы конкурентоспособные радиационно-стойкие высокопроизводительные процессорные КМОП СБИС СнК и СБИС ОЗУ. Базовые технические решения защищены патентами РФ.

**Ключевые слова:** объемный кремний, эффект «защелкивания», радиационная стойкость, радиационно-стойкое проектирование, сложно-функциональный блок, СБИС «система-на-кристалле», СБИС ОЗУ, тяжелые ядерные частицы.

**Для цитирования (ГОСТ 7.0.5—2008):** Герасимов Ю. М., Петричкович Я. Я. Радиационно-стойкие СБИС СнК и ОЗУ — особенности проектирования по КМОП технологиям объемного кремния // *Инфокоммуникационные и радиоэлектронные технологии*. 2022. Т. 5, № 4. С. 548—569.

**Для цитирования (ГОСТ 7.0.100—2018):** Герасимов, Ю. М. Радиационно-стойкие СБИС СнК и ОЗУ — особенности проектирования по КМОП технологиям объемного кремния / Ю. М. Герасимов, Я. Я. Петричкович // *Инфокоммуникационные и радиоэлектронные технологии*. — 2022. — Т. 5, № 4. — С. 548—569.

## 1. Введение

Высокопроизводительные радиационно-стойкие процессорные КМОП СБИС СнК и ОЗУ категории РС2 [1] широко востребованы для нужд авионики, аэрокосмической отрасли, атомных энергетических установок и других гражданских применений. Спрос на такие СБИС неуклонно растет. Проведенные в АО НПЦ «ЭЛВИС» в течение последних 30 лет исследования и разработки показали, что КМОП технологии объемного кремния (ОК) с нанометровыми проектными нормами  $\chi \leq 250$  нм и толщиной подзатворного окисла  $t_{ок} \leq 6$  нм (далее нано-СБИС) обеспечивают достижение требований данной категории РС2, являются наиболее дешевыми, технологичными и доступны в России.

«Радиационная стойкость (РС) — это свойство изделия сохранять работоспособность в процессе и после воздействия радиационных факторов с нормированными характеристиками [1]».

Категория РС2 это «Изделия с повышенным уровнем РС — требования РС соответствуют группам 3Ус—4Ус и являются приоритетными для потребителя. Катастрофические отказы изделий в процессе и после радиационного воздействия не допускаются, но возможно наличие у них кратковременных сбоев. При создании изделий используются базовые технологические процессы с применением специальных конструктивно-топологических и схемотехнических решений по обеспечению РС» [1].

Проектирование таких СБИС возможно для изготовления по стандартным КМОП технологиям ОК и производится по особым правилам на основе специальных библиотек элементов и СФ-блоков, разрабатываемых с использованием методологии радиационно-стойкого проектирования (РСП) [2—4], основанной на имеющихся представлениях о физической природе (моделях) радиационных эффектов в приборах и элементах КМОП СБИС [4—6], а также на результатах многочисленных экспериментальных исследований специальных тестовых структур и кристаллов [7].

## 2. Радиационные эффекты в КМОП нано-СБИС СнК ОК

Современные КМОП нано-СБИС СнК, кроме обязательных процессорных ядер, синтезируемых, как правило, на основе библиотеки стандартных цифровых элементов (БЭ), содержат также большое число компилируемых СФ-блоков памяти различных типов, площадь которых в ряде СБИС СнК составляет более 70 % площади ядра кристалла (рис. 1). По периферии кристалла располагаются интерфейсные СФ-блоки смешанного сигнала, работающие с различной частотой передачи данных. К таким блокам, в частности, относятся синтезаторы частот на основе ФАПЧ (PLL),

высокоскоростные приемопередатчики последовательных каналов мультипротокольных портов *SpaceFibre* и *gigaSpaceWire (RUS)* и др.

При воздействии ионизирующих излучений различной интенсивности и тяжелых ядерных частиц различных типов (ТЧ) в КМОП СБИС ОК проявляются следующие нарушения работоспособности [4—6].

1. «Защелкивание» паразитных тиристорных *p-n-p-n* структур (*SEL*) при воздействии ТЧ, приводящее к существенному возрастанию тока потребления и, как следствие, к катастрофическим отказам. Этот эффект достаточно подробно исследован в литературе [4—6]. При уменьшении проектных норм данный эффект несколько ослабевает, однако, в нано-СБИС ОК он все еще наблюдается.

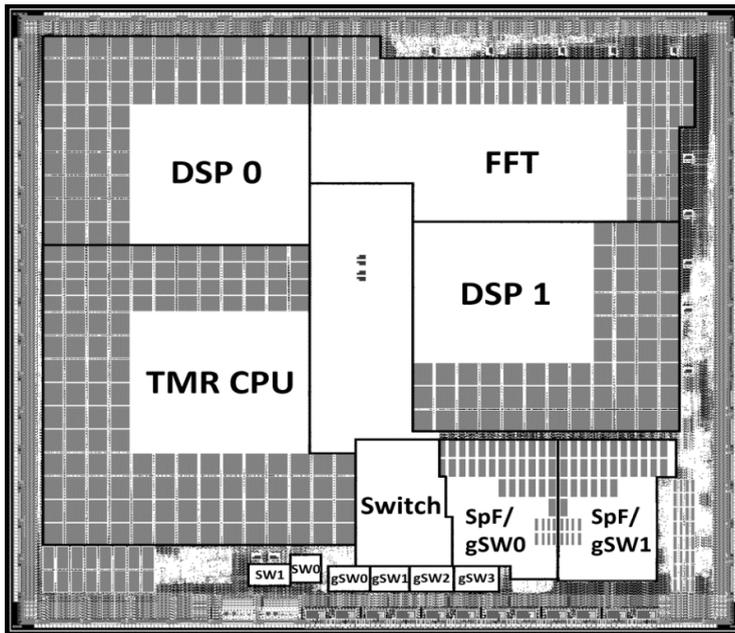


Рис. 1. Сигнальный микропроцессор 1892BM15AΦ категории PC2:  
Объемный кремний — 180 нм,  $S_{кр} = 17,5 \times 17,5 \text{ мм}^2$ ,  $N_{mp} \approx 60$  млн.

Fig. 1. Signal microprocessor 1892BM15AΦ category radiation tolerant:  
Bulk silicon – 180 nm,  $S_{кр} = 17.5 \times 17.5 \text{ мм}^2$ ,  $N_{mp} \approx 60$  million

2. При воздействии стационарного ионизирующего излучения нарушение работоспособности КМОП нано-СБИС определяется исключительно допустимыми суммарными собственными статическими и динамическими токами потребления, а также радиационными токами утечки паразитных *n*-МОП транзисторных структур [2—4].

Существенный рост общего энергопотребления выше допустимого в высоко интегрированных СБИС связан с накоплением положительного заряда в толстых окислах паразитных  $n$ -МОП транзисторных структур [3, 4]. В ряде случаев это может приводить к нарушению функционирования из-за просадки напряжения питания (*IR-drop*) внутри СБИС. Нарушение функционирования СБИС при облучении, как правило, — низкое качество проектирования.

Следует особо отметить, что в подзатворном окисле приборных МОП транзисторов накопления заряда и образования поверхностных состояний на границе раздела диэлектрик-полупроводник и связанных с этим изменений их электрических параметров не происходит. Поэтому отсутствует изменение параметров элементов СБИС и параметрическое и/или функциональное нарушение их работоспособности.

3. Усиление влияния одиночных событий при воздействии ТЧ на работоспособность СБИС, наличие одиночных и множественных сбоев. Проблема повышения сбоеустойчивости (уменьшение частоты сбоев) в быстродействующих КМОП нано-СБИС ОК с использованием методов РСР в настоящее время выдвигается на передний план.

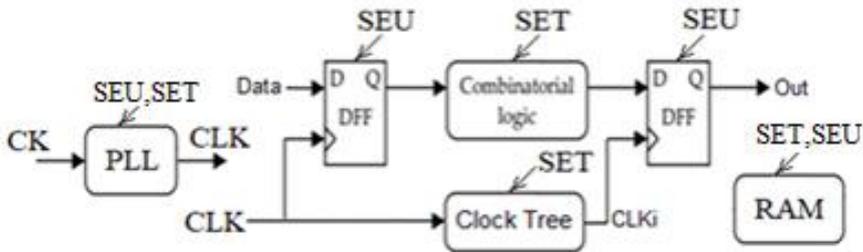


Рис. 2. Виды сбоев в конвейере передачи данных СБИС СнК.

Fig. 2. Types of failures in the data transmission pipeline of VLSI SoC

На рис. 2 приведена обобщенная структурная схема СБИС СнК в виде конвейера передачи данных в процессорных ядрах, блоков памяти (RAM) и синтезатора тактовых частот на основе ФАПЧ (PLL) с деревом синхронизации (Clock Tree), которые в настоящее время являются обязательными блоками современных СБИС СнК. Синтезаторы частот типа PLL являются также основным блоком в составе интерфейсов DDR2/3, SpaceWire и др.

В современных нано-СБИС СнК плотно упакованные СФ-блоки памяти занимают большую часть площади ядра кристалла — до 70 % (рис. 1) и в значительной мере определяют ее параметры РС.

При воздействии ТЧ в элементах и блоках СБИС наблюдаются следующие виды сбоев (рис. 2, 3) [6]:

*SEU* — частотно-независимые сбои в ячейках памяти (ЯП) ОЗУ и элементах последовательностной логики — триггерах-защелках;

*SET* — частотно-зависимые помехи («киголки») в быстродействующих критических логических (комбинационных) трактах и трактах синхронизации.

В низкочастотных трактах СБИС преобладают сбои в ячейках памяти, в высокоскоростных СБИС — сбои в логических цепях и трактах синхронизации (рис. 3).

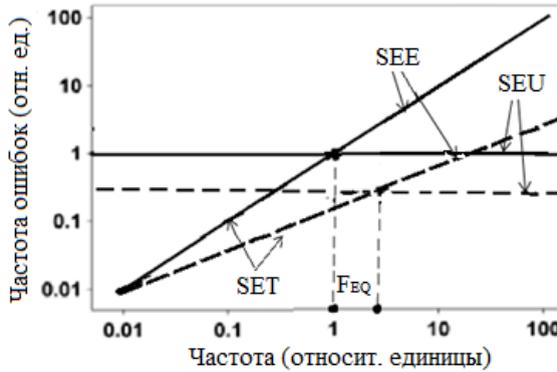


Рис. 3. Зависимость частоты сбоев (*SEE*) от рабочей частоты: пунктир — результат уменьшения частоты сбоев при радиационно-стойком проектировании.

Fig. 3. Dependence of the failure rate (*SEE*) on the operating frequency: dotted line is the result of reducing the failure rate in radiation-hardened design

### 3. Ослабление радиационных эффектов

В [2—4] рассмотрены методы РСП, применяемые при создании элементов библиотек и СФ-блоков ОЗУ для проектирования РС КМОП нано-СБИС ОК. Использование оптимальной совокупности этих методов позволяет добиться высоких показателей радиационной стойкости не хуже категории РС2 без существенного ухудшения потребительских характеристик. Стиль проектирования зависит от особенностей технологии изготовления, типа блока и степени его интеграции.

Отсутствие эффекта «защелкивания» (катастрофического отказа) обязательно для всех элементов и блоков в составе СБИС. Дозовые эффекты, в частности, утечки паразитных структур принципиальны для элементов и блоков, занимающих основную часть активной площади кристалла:

память и процессоры, а также некоторые прецизионные аналоговые блоки. Сбои при воздействии ТЧ принципиальны для триггеров и СФ-блоков ОЗУ, цепей синхронизации и ряда управляющих блоков СБИС.

Наиболее эффективным общим методом РСП для ослабления отмеченных выше радиационных эффектов, является применение «жестких»  $p^+$  охраны в  $p$ -подложке и  $n^+$  охраны в  $n$ -«карманах» с максимально возможным числом контактов к шинам земли и питания, а также контактов между областями  $n$ -well –  $n^+$  и  $n^+ - n^+$  [2—4]. Оптимальное расположение областей охраны и контактов к ним позволяет повысить порог «защелкивания» элементов в большинстве случаев без существенного увеличения площади элементов на кристалле, снизить токи утечки паразитных структур, повысить их сбоеустойчивость.

На рис. 6. приведены известные в настоящее время конструктивно-топологические решения библиотечных элементов, где показаны области внутритранзисторных и межтранзисторных утечек  $n$ -МОП транзисторов в инверторе в состоянии лог. «0» на входе после облучения в состоянии лог. «1» [2].

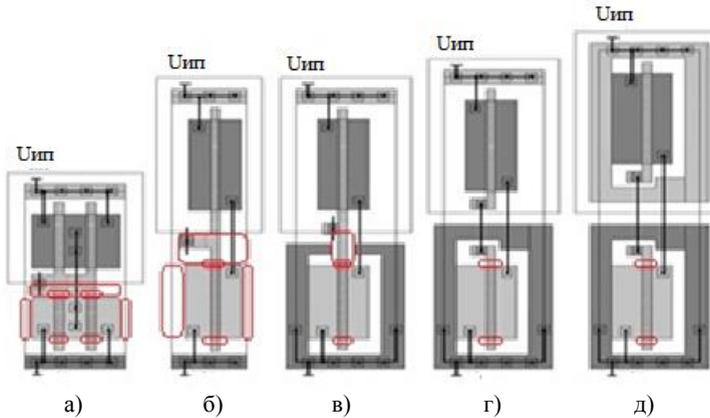


Рис. 4. Варианты конструкции КМОП элементов на ОК:  
а), б) — коммерческие; в), г), д) — радиационно-стойкие.

Fig. 4. Design options for CMOS elements based on bulk silicon:  
a), b) – commercial; c), d), e) – radiation-hardened

Коммерческие варианты а) и б) занимают наименьшую площадь на кристалле, однако они не всегда пригодны для РС применений из-за значительных утечек при воздействии ионизирующих излучений и возможного «защелкивания» паразитных  $p$ - $n$ - $p$ - $n$  структур при воздействии ТЧ. Для РС применений компромиссным является вариант в), в котором межтранзисторная утечка  $n^+ - n$ -карман значительно меньше внутритранзисторной, а утечки  $n^+ - n^+$  отсутствуют [8].

На рис.5 приведен вариант конструкции двух смежных логических элементов в состояниях лог. «0» и лог. «1» соответственно, где показаны внутритранзисторные (а, б) и межтранзисторные (в) утечки. В настоящее время для СБИС категории РС2 при воздействии ТЧ наиболее эффективно использование данной конструкции (вариант в) на рис. 4), где может быть достигнут минимально требуемый для категории РС2 уровень стойкости по эффекту «защелкивания»  $LET_0 \geq 60 \text{ МэВ}\cdot\text{см}^2/\text{мг}$ . При достижении уровня  $LET_0 \geq 99 \text{ МэВ}\cdot\text{см}^2/\text{мг}$  СБИС считают не чувствительными к этому эффекту (*Immune Latchup — IL*).

Дозовая стойкость СБИС СнК зависит от большого числа факторов [2, 3] и, в первую очередь, от состава элементов ее высоко интегрированного ядра: числа библиотечных элементов в нерегулярной процессорной части ( $N_{\text{биб}}$ ) и емкости ОЗУ ( $N_{\text{бум}}$ ), а также от электрического режима их работы.

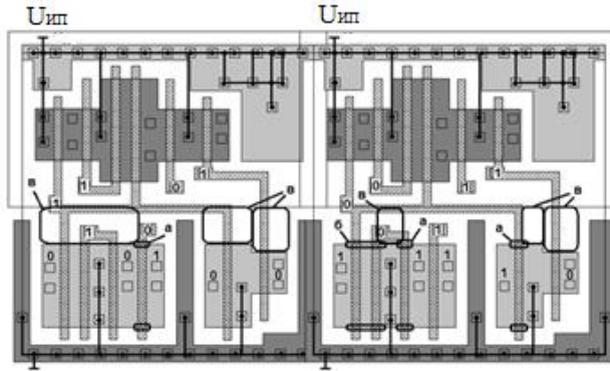


Рис. 5. Вариант базовой конструкции радиационно стойких библиотечных элементов [8].

Fig. 5. Variant of the basic design of radiation-resistant library elements [8]

На рис. 6 приведены типовые электрические режимы работы паразитных  $n$ -МОП транзисторов в реальных схемах [2, 4]. Режимы 2 и 4 используются в инверторах и простейших логических элементах, режимы 1, 3, 4, 6 — в двунаправленных ключах, режим 5, в котором протекает сквозной ток через транзистор, практически не используется.

Критерием дозовой РС для СБИС, как правило, выступает максимальный суммарный ток потребления —  $I_{\text{СБИС}}^{\text{макс}}$ . Суммарная величина этого тока утечки существенно зависит как от ширины областей  $n^+ - n^+$ ,  $n^+ - n\text{-well}$  и расстояний между ними, так и от общего числа  $n$ -МОП транзисторов в элементе. Число возможных комбинаций режимов облучения и измерения тока утечки  $m$ -входного логического элемента равно  $2^m$ , а общее число режимов исследования  $i = 2^{2m}$ . Наихудшим является случай, когда

при облучении на затвор *n*-МОП транзистора подается лог. «1» (режимы 4, 5 на рис. 6), а ток утечки измеряется при его переключении в состояние лог. «0» (режим 2) [4]. Ток утечки минимален при облучении и измерении в одинаковых режимах.

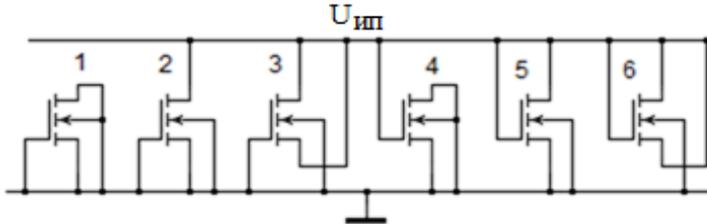


Рис. 6. Типовые режимы работы *n*-МОП транзистора.

Fig. 6. Typical modes of operation of the *n*-MOS transistor

Для каждого из этих режимов суммарную утечку элемента можно представить в следующем виде:

$$I_{\Sigma}^i = I_{nn}^i \times W_{nn} / L_n + I_{nw}^i \times W_{nw} / L_w + 2I_t^i \times (N_{par} + 2N_{seq} / k_j), \quad (1)$$

где

$I_t^i, I_{nn}^i, I_{nw}^i$  — удельные «внутриприборные» и «межприборные» токи утечки паразитных структур,  $W_{nn}, W_{nw}, L_n, L_w$  — эффективные ширины и длины «канала» паразитных транзисторных структур;

$N_{par}$  — число отдельных и параллельно соединенных *n*-МОП транзисторов в элементе;

$N_{seq}$  — число последовательных групп транзисторов в элементе;

$k_j$  — число последовательно соединенных транзисторов в *j* группе.

Для характеристики многовходовых и многокаскадных элементов библиотек по этим токам достаточно определять утечки при двух комбинациях входных сигналов: при облучении на входах все лог. «1» и все лог. «0», а при измерении переключать входные сигналы в противоположное состояние, при этом взять среднее значение. Наиболее корректно параметры, входящие в (1), определяются по результатам исследования специальных тестовых кристаллов [7]:

$$I_{СБИС}^{\max} \approx N_{\text{биб}} \times I_{\text{биб}}^{\max} + N_{\text{бит}} \times I_{\text{бит}}^{\max},$$

где  $I_{\text{биб}}^{\max}, I_{\text{бит}}^{\max}$  — усредненные максимальные удельные токи потребления на один библиотечный элемент и/или бит. Например, при максимально допустимом увеличении статического тока потребления в СФ-блоке до 100 мА и числе элементов в нем 100 млн., допустимое увеличение удельного

тока потребления составляет не более  $I_{\text{бит}} \approx 1$  нА/элемент для цифровых блоков. Для блоков памяти при их суммарной емкости на кристалле 64 Мбит  $I_{\text{бит}} \approx 1,56$  нА/бит, что значительно меньше рабочих токов элементов.

В табл. 1 приведены результаты измерения удельных токов утечки после облучения одно- и двухпортовых ячеек памяти (ЯП) на тестовом кристалле (ТК), где: № 1, 2 — коммерческие ЯП и № 3—5 — собственные радиационно-стойкие, разработанные с использованием методологии РСП. Вариант № 5 использует кольцевые (КТ)  $n$ -МОП транзисторы [4].

Приведенные в табл. 1 результаты позволяют заключить, что разработанные радиационно-стойкие ЯП с транзисторами прямоугольной конфигурации, использующие оригинальные конструктивно-топологические решения, позволяют уменьшить удельный ток потребления на 2—3 порядка, а при использовании кольцевых транзисторов — до 6—7 порядков. К сожалению, в технологиях уровня ниже 130 нм использование транзисторов такой конфигурации не допускается.

Таблица 1 — Table 1

№ п/п	Тип ячейки памяти на ТК	Относительная площадь ЯП	Ток утечки после 128 крад, $I_{\text{бит}}$ , нА/бит
1.	Коммерческий 1-port $6T_n$	$S_0$	64
2.	Коммерческий 2-port $8T_n$	$2,38 \cdot S_0$	27
3.	Стойкий 1-port $6T_n$ РСП	$1,54 \cdot S_0$	0,043
<b>4.</b>	<b>Стойкий 2-port <math>8T_n</math> РСП</b>	<b><math>2,19 \cdot S_0!</math></b>	<b>0,082</b>
5.	Стойкий 1-port $8T_p$ КТ РСП	$3,06 \cdot S_0$	< 0,00002!

### 3. Моделирование сбоев в элементах СБИС

При попадании ТЧ в чувствительные области стока  $n$ -МОП или  $p$ -МОП транзистора возникает ионизационный фототок в этих областях (рис. 7), который может приводить к сбоям в логических цепях ( $SET$ ) или переключению триггеров и ячеек памяти ОЗУ в противоположное состояние ( $SEU$ ). Зависимость ионизационного фототока от времени описывается следующим выражением [9—12]:

$$I_{SEE}(t) = I_0 \left( \exp(-t/\tau_{\text{сп}}) - \exp(-t/\tau_{\text{фр}}) \right), \quad (2)$$

где  $\tau_{\text{фр}}$  — определяется дрейфовыми процессами собирания носителей в обедненной области  $p$ - $n$  перехода и на некотором расстоянии от него,  $\tau_{\text{сп}}$  — определяется диффузионными процессами собирания носителей,  $I_0 = Q_{\text{част}}/(\tau_{\text{сп}} - \tau_{\text{фр}})$ , где  $Q_{\text{част}}$  — заряд, создаваемый частицей в чувствитель-

ном объеме. В первом приближении при  $\tau_{сп} \gg \tau_{фр}$  можно считать  $Q_{\text{част}} \approx I_0 \times \tau_{сп}$ . Функция (2) имеет экстремум при

$$I_{\text{макс}} = I_0 \times (\alpha^{\alpha/(1-\alpha)} - \alpha^{1/(1-\alpha)}), t_{\text{макс}} = \alpha \times \ln \alpha / (\alpha - 1), \alpha = \tau_{фр} / \tau_{сп},$$

Например, при  $\alpha = 0,1 - I_{\text{макс}} = 0,70 \cdot I_0$ , при  $\alpha = 0,2 - I_{\text{макс}} = 0,54 \cdot I_0$ . В соответствии с рис. 7 для КМОП технологии ОК уровня 180 нм при  $LET_0 \approx 25 \text{ МэВ} \cdot \text{см}^2/\text{мг}$  можно считать что:  $I_{\text{макс}} \approx 0,5 \text{ мА}$ ,  $t_{\text{макс}} \approx 100 \text{ пс}$ ,  $\tau_{фр} = 50 \text{ пс}$ ,  $\tau_{сп} = 500 \text{ пс}$ , а  $I_0 \approx 0,7 \text{ мА}$ .

Для наличия сбоя в элементе при воздействии ТЧ заряд от частицы, выделяемый в чувствительном узле, должен превышать критический:

$$Q_{\text{част}} > Q_{\text{крит}} \approx C_{\text{узел}} \times U_{\text{ип}} + I_{\text{хр}} \times t_{\text{пер}}, \quad (3)$$

где  $C_{\text{узел}}$  — суммарная нагрузочная емкость в узле элемента,  $U_{\text{ип}}$  — напряжение питания,  $I_{\text{хр}}$  — ток транзистора в элементе, поддерживающий потенциал в узле и зависящий от напряжения на входе элемента,  $t_{\text{пер}}$  — время переключения элемента в противоположное логическое состояние.

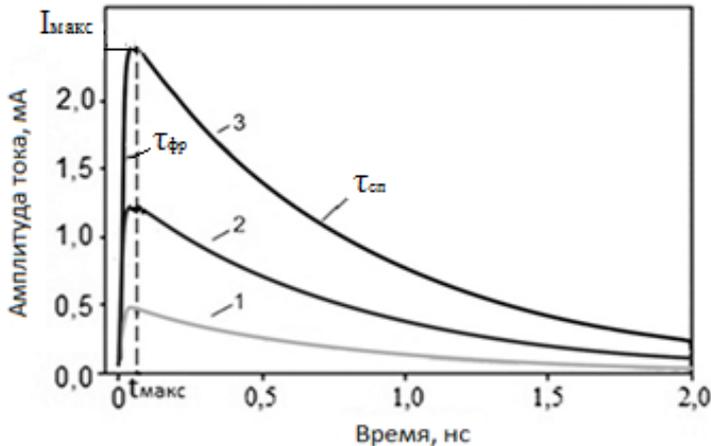


Рис. 7. Модель токового воздействия в чувствительных узлах [11] при различных  $LET_0$  (в  $\text{МэВ} \cdot \text{см}^2/\text{мг}$ ): 1 —  $LET_0 = 25$ , 2 —  $LET_0 = 50$ , 3 —  $LET_0 = 100$ .

Fig. 7. Model of current action in sensitive nodes [11] at different  $LET_0$  (in  $\text{MeV} \cdot \text{cm}^2/\text{mg}$ ):  
 1 —  $LET_0 = 25$ , 2 —  $LET_0 = 50$ , 3 —  $LET_0 = 100$

Параметры, входящие в (2, 3), зависят не только от энергии частицы и особенностей технологии изготовления, но также и от схемотехники и конструктивного-топологического исполнения элементов в критических трактах СБИС. Корректно рассчитать величину ионизационного фототока

по результатам моделирования с использованием программы *TCAD* не представляется возможным, а в литературе в настоящее время нет достаточной информации по значениям этих параметров для конкретных КМОП технологий. Однако модель (2) удобна для моделирования и относительно сравнения сбоеустойчивости различных элементов в логических цепях с их различными размерами и коэффициентами нагрузки, а также в элементах памяти при  $LET_0 \leq 15$  МэВ·см<sup>2</sup>/мг. Для схемотехнического моделирования токового воздействия в узлах элементов от ТЧ на основе программы *Spectre* в среде САПР *Cadence* удобно использовать генератор тока *ixcr* из библиотеки *analoglib* с приведенными выше параметрами.

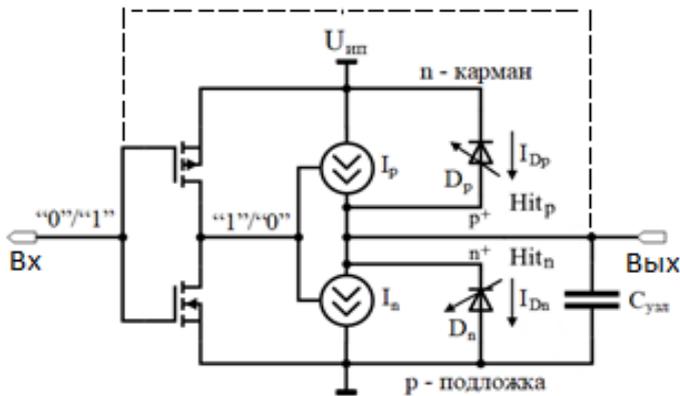


Рис. 8. Модель эквивалентного инвертора и триггера (пунктир) при воздействии тяжелых ядерных частиц на его выходе.

Fig. 8. Model of an equivalent inverter and trigger (dashed line) under the influence of heavy nuclear particles at its output

На рис. 8 приведена эквивалентная схема КМОП инвертора в логической цепи и в триггере (пунктир), где  $I_p$  и  $I_n$  — максимальные рабочие токи  $p$ -МОП и  $n$ -МОП транзисторов при коротком замыкании (к. з.) выхода инвертора в состояние лог. «0» или лог. «1»,  $I_{Dp}$  и  $I_{Dn}$  — ионизационные фототоки в  $p^+$  и  $n^+$  диффузионных стоковых областях транзисторов при попадании в них ТЧ.

В первом приближении можно считать, что для сбоя лог. «1» необходимо, чтобы  $I_{Dn} > I_p$ , а для сбоя лог. «0» —  $I_{Dp} > I_n$ . Оптимальным с точки зрения сбоеустойчивости ( $LET_0^0 \approx LET_0^1$ ) является случай  $I_n \approx I_p$ . Для такой цепи, зная величину узловой емкости  $C_{узл}$  (в пф) при  $I_{xp} = 0$  для технологии уровня 90 нм, можно оценить уровень сбоеустойчивости динамических элементов как  $LET_0 \approx 10 \cdot C_{узл}$  (в МэВ·см<sup>2</sup>/мг) [6].

Любую логическую цепь с разветвлениями можно представить в виде цепочки эквивалентных инверторов (рис. 9) с собственными параметрами:  $t_d$  — собственная задержка элемента,  $m_i$  — коэффициент разветвления на входе,  $n_i$  — коэффициент объединения по выходу,  $P_i$  — коэффициент мощности элемента (его размеры  $\sim W_p + W_n$ ) [13]. Оптимальной по быстродействию является равномерная логическая цепь — цепь, в которой абсолютные размеры эквивалентных инверторов ( $P_i$ ) возрастают в геометрической прогрессии с постоянным коэффициентом нагрузки  $M_0 = \sqrt[n]{M_L}$ , причем «критическим» считается наиболее длинный и нагруженный тракт с  $M_L \approx (C_H/C_{вх0}) \times \prod_1^n m_i$ .

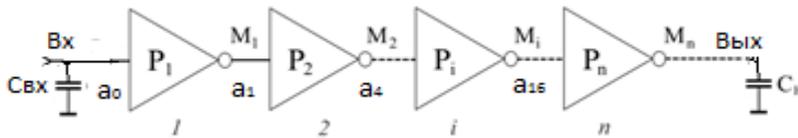


Рис. 9. Цепочка эквивалентных инверторов:  $a_0$  — вход цепи,  $a_1 - a_n$  — внутренние узлы цепи.

Fig. 9. A chain of equivalent inverters:  $a_0$  is the input of the circuit,  $a_1 - a_n$  are the internal nodes of the circuit

В зависимости от длительности импульса помехи при воздействии ТЧ и параметров цепи она может быть формирующей или затухающей. Граничной длительностью импульса помехи, передаваемой цепочкой инверторов без искажений, можно считать:

$$t_{мин} \approx 3t_{a0} \times (\gamma_{вых0} + \gamma_{вх0} \times M_0),$$

где  $t_{a0}$  — средняя асимптотическая задержка,  $\gamma_{вх0}$  и  $\gamma_{вых0}$  — коэффициенты, зависящие от соотношения входной и выходной емкостей элемента [13].

Оптимизация размеров элементов в логической цепи по сбоеустойчивости сводится к правильному выбору соотношения эквивалентных размеров групп  $p$ -МОП и  $n$ -МОП транзисторов ( $W_p/W_n$ ) в элементах, размера первого каскада ( $P_1$ ) и коэффициента нагрузки в критическом тракте ( $M_0$ ).

С целью проверки эффективности влияния абсолютных ( $P_i$ ) и относительных ( $\beta$ ) размеров транзисторов в инверторе на его сбоеустойчивость в однородной цепочке проведено моделирование схемы на рис. 9 на основе программы *Spectre* с параметрами транзисторов для базовой КМОП технологии ОК уровня 90 нм ( $f_{пред} \approx 10$  ГГц) при различных значениях этих параметров. В табл. 2 приведены значения максимальных рабочих токов транзисторов  $I_n$ ,  $I_p$  и токов сбоя  $I_{макс}$  для инвертора ( $U_{вх}$  постоянно) и триггера ( $U_{вх}$  изменяется при воздействии ТЧ) для состояний лог. «0» и лог. «1», рассчитанных по результатам моделирования.

Из приведенных в табл. 2 результатов моделирования можно сделать вывод о том, что токи сбоя ( $I_{\text{макс}}$ ) пропорциональны коэффициенту мощности  $P_i$  элемента в цепи и для инвертора приблизительно равны рабочим токам соответствующих транзисторов, а для триггера — на 30 % меньше. Токи сбоя в состояниях лог. «0» и лог. «1» зависят от соотношения рабочих токов транзисторов  $n$ -типа и  $p$ -типа и могут существенно отличаться. Оптимальным является случай равенства этих токов. Для данной технологии это случай  $\beta \approx 2$ .

На рис. 10 приведены результаты моделирования переходных процессов в узлах цепочки инверторов на рис. 9, размеры которых  $P_i$  возрастают с постоянным коэффициентом нагрузки  $M_0 = 4$  при подаче на вход  $a0$  меандра с периодом  $T_{in} = 4$  нс ( $f_{in} \approx 250$  МГц) и при последовательном воздействии в узлы  $a1$  —  $a256$  токовых импульсов с  $I_0 = 2,0$  мА,  $\tau_{фр} = 100$  пс,  $\tau_{сп} = 600$  пс ( $I_{\text{макс}} = 1,15$  мА). Из приведенных результатов следует, что существенные сбои наблюдаются на выходах инверторов в узлах  $a1$  и  $a4$  ( $P_i = 1$  и  $4$ ), искажения в узле  $a16$  ( $P_i = 16$ ) незначительны, в остальных узлах с  $P_i > 16$  искажения не наблюдаются.

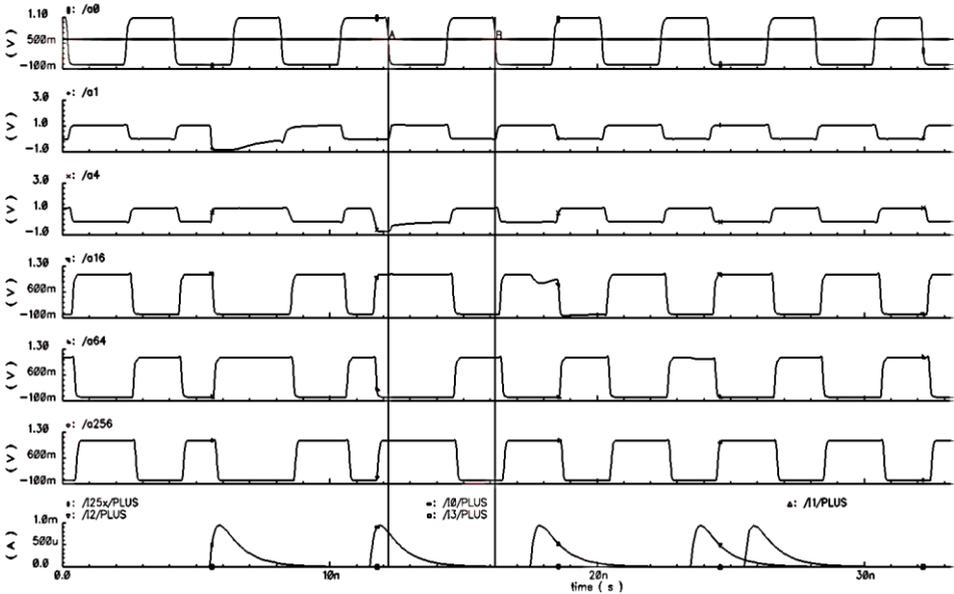


Рис. 10. Переходные процессы в узлах цепочки инверторов при последовательном воздействии в узлы  $a1$  —  $a256$  токовых импульсов.

Fig. 10. Transient processes in the nodes of the chain of inverters under the sequential action of current pulses in the nodes  $a1$  –  $a256$

Таблица 2 — Table 2

Параметры сбоеустойчивости	Рабочие токи транзисторов и токи сбоев, мкА				
	$P_i = 1, \beta = 2$	$P_i = 2, \beta = 1$	$P_i = 2, \beta = \sqrt{2}$	$P_i = 2, \beta = 2$	$P_i = 4, \beta = 2$
Ток кз. лог.«1», $I_n$	232	692	575	473	923
Ток сбоя $I_{\max}^0$ в инверторе	230	655	550	453	940
Ток сбоя $I_{\max}^0$ в триггере	200	574	485	404	810
Ток кз. лог.«0», $I_p$	215	344	409	460	987
Ток сбоя $I_{\max}^1$ в инверторе	188	313	362	417	882
Ток сбоя $I_{\max}^1$ в триггере	158	264	305	394	663

#### 4. Повышение сбоеустойчивости СФ-блоков ОЗУ

СФ-блоки ОЗУ различных типов в современных СБИС СнК занимают большую часть активной площади кристалла (рис. 1). Основным элементом этих блоков является ячейка памяти (ЯП), от схемотехники и конструктивно-топологического исполнения которой зависят основные параметры блоков ОЗУ, в том числе и параметры РС. Отличительной особенностью стандартной однопортовой шеститранзисторной ЯП (6Т) является наличие ограничений на соотношение размеров транзисторов для обеспечения условий записи и неразрушающего считывания, что затрудняет производить их выбор, исходя из условия повышенной сбоеустойчивости при воздействии ТЧ.

На рис. 11, а приведен вариант топологии 6Т ЯП минимальных размеров, выполненной по специальным правилам проектирования. На рис. 11, б показан вариант РС ЯП [14], выполненной по стандартным правилам, в которой используется «жесткая»  $p^+$  охрана, увеличены абсолютные и относительные размеры ( $\beta = W_p \cdot L_n / W_n \cdot L_p$ ) транзисторов в триггере ЯП. Площадь РС ЯП на рис. 11, б приблизительно на 50 % больше, чем у стандартной ЯП на рис. 11, а (табл. 1, № 1 и 3). Однако площадь СФ блоков ОЗУ в ядре кристалла при использовании ЯП рис. 11, б увеличивается всего на 20 %.

При оптимизации параметров сбоеустойчивости блоков ОЗУ необходимо также обеспечить правильный выбор архитектуры ОЗУ и параметров элементов в критических трактах выборки и управления моментом включения усилителей записи-чтения информации в накопитель ОЗУ.

Использование разработанных РС ЯП в составе накопителей в СБИС СнК и ОЗУ 1657PY2Y [15] позволило достигнуть параметры стойкости, соответствующие верхней границе категории РС2 и  $LET_0 > 1,5 \text{ МэВ} \cdot \text{см}^2/\text{мг}$ , что обеспечило нечувствительность СБИС к воздействию  $\alpha$ -частиц.

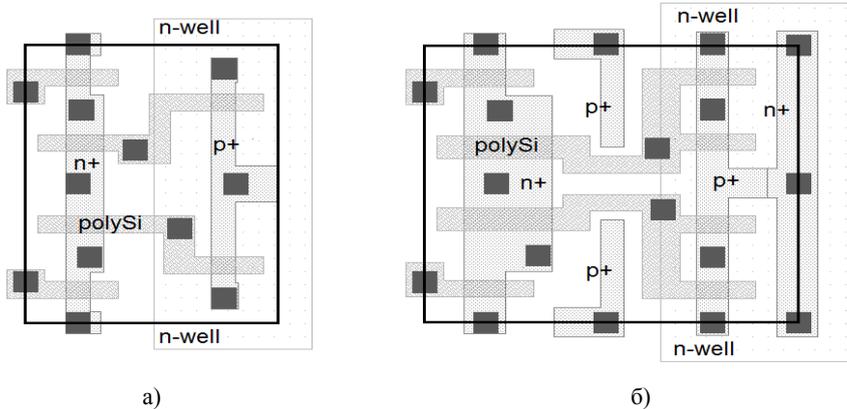


Рис. 11. Топология однопортовой 6Т ячейки памяти:  
а) стандартная, б) радиационно-стойкая.

Fig. 11. Topology of a single-port 6T memory cell:  
a) standard, b) radiation-hardened

## 5. Сбоеустойчивость блоков смешанного сигнала

Важными блоками в современных КМОП СБИС СнК являются периферийные интерфейсные СФ-блоки, функциональные узлы в которых работают с различной частотой (блоки смешанного сигнала): СФ-блоки генерации и подстройки частоты и фазы тактовых сигналов (*PLL* и *DLL*), а также высокоскоростные последовательные интерфейсы *SpaceFiber*, *SpaceWire RUS* и др., сбои в которых при воздействии ТЧ могут приводить к нарушению синхронизации и функциональному прерыванию.

СФ-блоки смешанного сигнала содержат статические (аналоговые), низкочастотные, средне- и высокочастотные функциональные узлы, обладающие различной величиной  $LET_0$  и сечением насыщения сбоя  $\sigma_0$ . СФ-блоки *PLL* в зависимости от архитектуры и конструктивно-топологических особенностей могут обладать как более высокой, так и пониженной по сравнению с другими блоками СБИС сбоеустойчивостью при воздействии ТЧ. Представляется возможным создание СФ-блоков *PLL* со сбоеустойчивостью не хуже, чем у дерева синхронизации СБИС.

По степени сбоеустойчивости элементы в СФ-блоках и СБИС условно можно разделить на следующие:

- элементы, сбои в которых не происходят,
- элементы, сбои в которых не влияют на работоспособность блока,
- критичные элементы и тракты, сбои в которых нарушают работоспособность блока и СБИС.

Структурная схема СФ-блока синтезатора частот на основе ФАПЧ (*PLL*) приведена на рис. 12, где

*VCO* — генератор, управляемый напряжением;

*ChPmp* — зарядно-разрядное устройство;

*N* — программируемый сигналами *SEL* делитель выходной частоты;

ФЧД — фазочастотный детектор;

*C* — интегрирующая емкость;

$C_0R_0$  — демпфирующая цепь;

*LOCK* — формирователь сигнала захвата фазы и частоты (рис. 13).

Сигнал *LOCK* соответствует лог. «0» — признак того, что разность фаз  $\Delta\phi$  между сигналами  $f_{VCO}$  и  $F_{ref}$  в течение интервала времени, равного  $2^n/F_{ref}$ , находится в заданном интервале  $[-\tau; \tau]$  и *PLL* вошел в режим.

Сигнал *LOCK* соответствует лог. «1» — признак того, что *PLL* находится в режиме рассогласования с  $F_{ref}$  ( $> 0,5\%$ ).

На основе анализа и моделирования работы СФ-блока *PLL600* установлено, что наиболее подвержен сбоям при воздействии ТЧ генератор *VCO*, тогда как сбои ФЧД и попадание ТЧ на выход блока *ChPmp* не влияют на работоспособность *PLL*. Сбои в счетчиках делителей частоты сдвигают фазу тактового сигнала обратной связи на входе ФЧД на величину, ограниченную периодом ФЧД (частота *PLL* изменяется незначительно). Восстановление рабочего состояния *PLL600* (захват фазы) требует времени 10—20 мкс, что в большинстве случаев недопустимо.

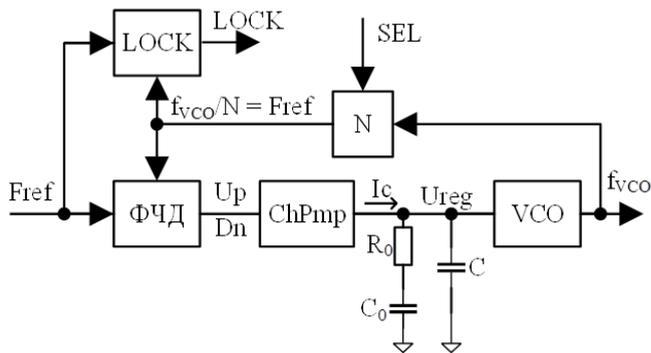


Рис. 12. Структурная схема сложно-функционального блока *PLL*.

Fig. 12. Structural diagram of the complex-functional block *PLL*.

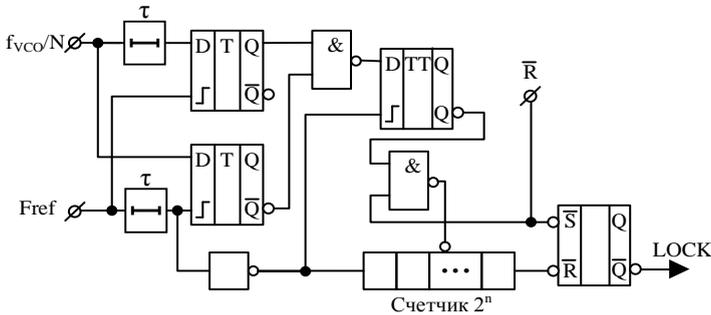


Рис. 13. Схема формирования сигнала LOCK.

Rice. 13. LOCK signal generation circuit

Моделирование влияния сбоев в различных узлах блока *LOCK* показало, что в зависимости от его локализации наблюдаются следующие эффекты.

1. Сбои в делителе частоты (счетчике) могут приводить к задержке формирования *LOCK*, что может значительно увеличить время выхода *PLL* в режим, но не приводит к катастрофическому отказу.

2. Сбои в элементах логики, элементах задержки и *D*-триггерах приводят к небольшой задержке формирования *LOCK* по отношению к типовому времени установления *PLL*.

3. Сбои в выходном *RS*-триггере приводят к следующим ошибкам.

При переключении *LOCK* из состояния лог. «1» в лог. «0» — индикация захвата частоты и фазы до фактического выхода *PLL* в режим — приводит к ошибкам синхронизации всех последующих цепей.

При переключении *LOCK* из состояния лог. «0» в лог. «1» — индикация потери захвата частоты и фазы во время работы — приводит к отказу, поскольку требует формирования внешнего сигнала сброса  $\bar{R}$ .

Для повышения сбоеустойчивости данного блока выходной *RS*-триггер в нем желательно делать *DICE*-типа.

Разработан сбоеустойчивый СФ-блок *PLL600H*, на основе оригинального тролируемого управляемого напряжением генератора *VCO\_H* [16] без использования мажоритарного элемента, но с использованием счетчиков на основе *DICE* триггеров и схемы блока *ChPmp* типа *V-CP* [17]. При этом увеличение площади данного блока на кристалле незначительно по сравнению с исходным.

По результатам моделирования разработанной схемы СФ-блока *PLL600H* при попадании ТЧ в критические узлы блока установлено, что для КМОП технологии ОК уровня 90 нм сбоев в его работе не наблюдалось, по крайней мере, до  $LET_0 \sim 10\text{—}15 \text{ МэВ}\cdot\text{см}^2/\text{мг}$ .

## 6. Заключение

Создана и аттестована среда проектирования радиационно-стойких КМОП СБИС для стандартных техпроцессов объемного кремния уровня 250—90 нм, позволяющая обеспечить отсутствие эффекта «зашелкивания» до  $LET_0 \geq 99$  Мэв·см<sup>2</sup>/мг, дозовую стойкость более 300 крад и повышенную сбоеустойчивость. Использование разработанной среды проектирования позволило создать конкурентоспособные СБИС СнК и ОЗУ категории не хуже РС2.

На конкурсах «ЗОЛОТОЙ ЧИП» в номинации «Лучшее изделие ЭКБ» АО НПЦ «ЭЛВИС» неоднократно присуждались призовые места.

Работа выполнена за счет собственных средств АО НПЦ «ЭЛВИС».

## Список литературы

1. Никифоров А. Ю., Телец В. А., Бойченко Д. В. Требования радиационной стойкости — экзотика для гурманов или гарантия наличия и технического уровня результата разработки для всех категорий потребителей ЭКБ? // Наноиндустрия. 2018. № 5 (82). С. 39—41.
2. Радиационно-стойкое проектирование высокопроизводительных нанометровых КМОП СБИС «система-на-кристалле» / Ю. М. Герасимов и др. // Инфокоммуникационные и радиоэлектронные технологии. 2019. Т. 2, № 1. С. 33—51.
3. Герасимов Ю. М., Григорьев Н. Г., Петричкович Я. Я. Радиационно-стойкое проектирование нанометровых КМОП СБИС : реалии и мифы // Наноиндустрия. 2020. Том 13, № S5-2 (102). С. 319—324.
4. От первых КМОП транзисторов до радиационно-стойких нанометровых КМОП СБИС СнК / Ю. М. Герасимов и др. // Наноиндустрия. 2019. № 5 (89). С. 268—274.
5. Радиационная стойкость изделий ЭКБ / под ред. А. И. Чумакова. М. : НИЯУ МИФИ, 2015. 512 с.
6. Чумаков А. И. Действие космической радиации на интегральные схемы. М. : Радио и связь, 2004. 320 с.
7. Тестовые кристаллы для расчетно-экспериментальной оценки радиационной стойкости нанометровых КМОП СБИС СнК / Ю. М. Герасимов и др. // Наноиндустрия. 2019. № 5 (89). С. 202—210.
8. Пат. 2674415 (РФ). Радиационно-стойкая библиотека элементов на комплементарных метал-окисел-полупроводник транзисторах / Герасимов Ю. М. и др. Оpubл. в Б. И., 2018. № 34.
9. Modeling of Single Event Transients With Dual Double-Exponential Current Sources: Implications for Logic Cell Characterization / D. A. Black et al. // IEEE Trans. Nucl. Sci. 2015. Vol. 62, no. 4. P. 1540—1549.
10. Messenger G. C. Collection of charge on junction nodes from ion tracks // IEEE Trans. Nucl. Sci. 1982. Vol. 29, no. 6. P. 2024—2031.
11. Single event transient pulsewidths in digital microcircuits / M. J. Gadlage et al. // IEEE Trans. Nucl. Sci. 2004. Vol. 51, no. 6. P. 3285—3290.
12. Zoutendyk J. A., Smith L. S., Soli G. A. Experimental evidence for a new single-event upset (SEU) mode in CMOS SRAM obtained from model verification // IEEE Trans. on Nucl. Sci. 1987. Vol. NS-34, no. 6. P. 1292—1299.

13. Особенности проектирования сбоеустойчивых, сверхбыстродействующих логических цепей КМОП СБИС СнК / Ю. М. Герасимов и др. // Наноиндустрия. 2020. № S (96). Ч. I. С. 220—228.
14. Пат. 2692307 (РФ). Радиационно-стойкий элемент памяти для статических оперативных запоминающих устройств на комплементарных металл-окисел-полупроводник транзисторах / Ю. М. Герасимов и др. Оpubл. в Б. И. 2019. № 18.
15. Радиационно-стойкое КМОП статическое ОЗУ 16 Мбит 1657PY2Y / Ю. М. Герасимов и др. // Наноиндустрия. 2020. № S (96). Ч. I. С. 169—174.
16. Пат. 2763038 (РФ) Управляемый напряжением блок кольцевых генераторов на комплементарных метал-окисел-полупроводник (КМОП) транзисторах / В. Д. Байков и др. Оpubл. в Б. И. 2022. № 36.
17. A Single-Event-Hardened Phase-Locked Loop Fabricated in 130 nm CMOS / T. D. Lovelless et al. // IEEE Trans. Nucl. Sci. 2007. Vol. 54, no. 6. P. 2012—2020.

### Информация об авторах

**Герасимов Юрий Михайлович**, кандидат технических наук, старший научный сотрудник, начальник лаборатории АО НПЦ «ЭЛВИС», Москва, Российская Федерация. ORCID 0000-0002-6026-4820.

**Петричкович Ярослав Ярославович**, доктор технических наук, профессор, президент АО НПЦ «ЭЛВИС», Москва, Российская Федерация. ORCID 0000-0002-6502-6370.

# Radiation-Hardened VLSI SoC and RAM – Design Features for Bulk Silicon CMOS Technologies

Yu. M. Gerasimov and Ya. Ya. Petrichkovich

*JSC SPC “Electronic Computing and Information Systems” (“ELVIS”)  
14, Konstruktor Lukin st., building 14, munic. Silino,  
Moscow, Zelenograd, 124460, Russian Federation  
YGerasimov@elvees.com, ymger29@mail.ru*

Received: May 19, 2022

Peer-reviewed: June 5, 2022

Accepted: June 5, 2022

**Abstract:** *The effect of various types of radiation and heavy nuclear particles on VLSI fabricated using CMOS technologies for bulk silicon at a level of 250–90 nm is analyzed. Developed and certified on test crystals (TC) are constructive-topological and circuit solutions for elements of digital libraries, complex-functional RAM blocks and peripheral mixed-signal blocks for designing radiation-hardened VLSI of the “system-on-chip” (SoC) type and RAM of category RT (products with an increased level of radiation resistance). The methodology of radiation-hardened by design (RHBD) has been further developed. For CAD tools, a design environment for VLSI of the RT category was created for manufacturing at Russian factories using available CMOS bulk technologies. Based on this design environment, competitive radiation-hardened high-performance processor CMOS VLSI SoC and VLSI RAM were created. Basic technical solutions are protected by RF patents.*

**Keywords:** *bulk silicon, latch up, radiation hardness, radiation-hardened design, smart-functional block, VLSI system-on-a-chip, VLSI RAM, heavy nuclear particles.*

**For citation (IEEE):** Yu. M. Gerasimov and Ya. Ya. Petrichkovich, “Radiation-Hardened VLSI SoC and RAM – Design Features for Bulk Silicon CMOS Technologies,” *Infocommunications and Radio Technologies*, vol. 5, no. 4, pp. 548–569, 2022, doi: 10.29039/2587-9936.2022.05.4.39. (In Russ.).

## References

- [1] A. Y. Nikiforov, V. A. Telets, and D. V. Boychenko, “Radiation Hardness Requirements — the Exotica for Gourmets or a Guarantee of the Design Result Success and High Technical Level for all Categories of Consumers?,” *Nanoindustry Russia*, pp. 39–41, 2018, doi: 10.22184/1993-8578.2018.82.39.41. (In Russ.).
- [2] Y. M. Gerasimov, N. G. Grigoryev, A. V. Kobylatskiy, Ya. Ya. Petrichkovich, and T. V. Solokhina, “Radiation-Hardening-By-Design of the High-Performance CMOS Nanometer System-on-chip,” *Infocommunications and Radio Technologies*, vol. 2, no. 1, pp. 33–51, 2019, doi: 10.15826/icrt.2019.02.1.04. (In Russ.).

- [3] Yu. M. Gerasimov, N. G. Grigoryev, and Ya. Ya. Petrikovich, "Radiation Hardened by Design of Nanometer CMOS VLSI: Reality and Myths," *Nanoindustry Russia*, vol. 13, no. 5s, pp. 319–324, Dec. 2020, doi: 10.22184/1993-8578.2020.13.5s.319.324. (In Russ).
- [4] Yu. M. Gerasimov, N. G. Grigoryev, A. V. Kobylatskiy, Ya. Ya. Petrikovich, and T. V. Solokhina, "From the First CMOS Transistors to the Radiation-Hardened Nanometer CMOS Systems-on-Chip," *Nanoindustry Russia*, vol. 13, no. 5s, pp. 268–274, 2019, doi: 10.22184/NanoRus.2019.12.89.268.274. (In Russ).
- [5] Radiation resistance of ECB products, /ed. A. I. Chumakov, Moscow: MEFPhI, 2015. (In Russ).
- [6] A. I. Chumakov, *Action of space radiation on integrated circuits*, Moscow: Radio i svyaz', 2004. (In Russ).
- [7] Yu. M. Gerasimov, N. G. Grigoryev, A. V. Kobylatskiy, and Ya. Ya. Petrikovich, "Test Chips for Experiment-Based Radiation Hardness Calculation of Nanometer Systems-on-Chip," *Nanoindustry Russia*, pp. 202–210, 2019, doi: 10.22184/NanoRus.2019.12.89.202.210. (In Russ).
- [8] Yu. M. Gerasimov, N. G. Grigoryev, A. V. Kobylatskiy, and Ya. Ya. Petrikovich, pat. no. 2674415 (RF), "Radiation-resistant library of elements on complementary metal-oxide-semiconductor transistors, published in Bulletin of Inventions," no. 34, 2018. (In Russ.).
- [9] D. A. Black, W. H. Robinson, I. Z. Wilcox, D. B. Limbrick, and J. D. Black, "Modeling of Single Event Transients With Dual Double-Exponential Current Sources: Implications for Logic Cell Characterization," *IEEE Transactions on Nuclear Science*, vol. 62, no. 4, pp. 1540–1549, Aug. 2015, doi: 10.1109/tns.2015.2449073.
- [10] G. C. Messenger, "Collection of Charge on Junction Nodes from Ion Tracks," *IEEE Transactions on Nuclear Science*, vol. 29, no. 6, pp. 2024–2031, Dec. 1982, doi: 10.1109/tns.1982.4336490.
- [11] M. J. Gadlage et al., "Single event transient pulse widths in digital microcircuits," *IEEE Transactions on Nuclear Science*, vol. 51, no. 6, pp. 3285–3290, Dec. 2004, doi: 10.1109/tns.2004.839174.
- [12] J. A. Zoutendyk, L. S. Smith, G. A. Soli, and R. Y. Lo, "Experimental Evidence for a New Single-Event Upset (SEU) Mode in a CMOS SRAM Obtained from Model Verification," *IEEE Transactions on Nuclear Science*, vol. 34, no. 6, pp. 1292–1299, 1987, doi: 10.1109/tns.1987.4337468.
- [13] Yu. M. Gerasimov, N. G. Grigoryev, A. V. Kobylatskiy, Ya. Ya. Petrikovich, and D. K. Sergeev, "High-Speed Heavy-Ion Tolerant CMOS Logic Circuit Design Features," *Nanoindustry Russia*, vol. 96, no. 3s, pp. 220–228, Jun. 2020, doi: 10.22184/1993-8578.2020.13.3s.220.228. (In Russ.).
- [14] Yu. M. Gerasimov, N. G. Grigoryev, A. V. Kobylatskiy, and Ya. Ya. Petrikovich, patent no. 2692307 (RF), "Radiation-resistant memory element for static RAM based on complementary metal-oxide-semiconductor transistors," published in Bulletin of Inventions, no 18, 2019. (In Russ).
- [15] Yu. M. Gerasimov, N. G. Grigoryev, A. V. Kobylatskiy, and Ya. Ya. Petrikovich, "Radiation-Hardened CMOS SRAM 16MBIT 1657RY2Y," *Nanoindustry Russia*, vol. 96, no. 3s, pp. 169–174, May 2020, doi: 10.22184/1993-8578.2020.13.3s.169.174. (In Russ.).
- [16] V. D. Baykov, Yu. M. Gerasimov, Ya. Ya. Petrikovich, and N. Yu. Rannev, pat. no. 2763038 (RF), "Voltage Controlled Complementary Metal Oxide Semiconductor (CMOS) Ring Oscillator Unit," published in Bulletin of Inventions, no 36, 2022. (In Russ).
- [17] T. D. Loveless et al., "A Single-Event-Hardened Phase-Locked Loop Fabricated in 130 nm CMOS," *IEEE Transactions on Nuclear Science*, vol. 54, no. 6, pp. 2012–2020, Dec. 2007, doi: 10.1109/tns.2007.908166.

### **Information about the authors**

**Yuri M. Gerasimov**, Candidate of Technical Sciences, Senior Researcher, Head of the Laboratory of JSC SPC "ELVIS", Moscow, Russian Federation. ORCID 0000-0002-6026-4820.

**Yaroslav Ya. Petrichkovich**, Doctor of Technical Sciences, Professor, President of JSC SPC "ELVIS", Moscow, Russian Federation. ORCID 0000-0002-6502-6370.